

《EDA技术》试验

实验一、二

QuartusII 软件和 DE2-115 开发板使用入 门实验（实验名称）

专业： 计算机科学与技术

姓名： 高星杰

学号： 2021307220712

班级： 计科 2102

报告上交时间：2023 年 3 月 21 日

一、实验目的

熟悉 Quartus II 开发环境，掌握原理图输入方式、文本输入方式和波形仿真；熟练掌握在 Quartus II 环境中进行 FPGA 设计的流程；熟悉 DE2-115 开发板及其使用；

二、实验任务及要求

任务一：熟悉 Quartus II 开发环境，掌握原理图输入方式，在 Quartus II 中用原理图方式实现半加器，并用 Quartus II14.0 中的波形仿真。仿真成功后，生成半加器图形符号以供后续程序调用；

任务二：在 Quartus II 中用原理图方式实现全加器，并用 Quartus II14.0 中的波形仿真。要求调用任务一中的半加器来实现。

任务三：基于 IP 核的设计：模 24 方向可控计数器设计与仿真（使用 LPM_COUNTER 宏模块完成设计）

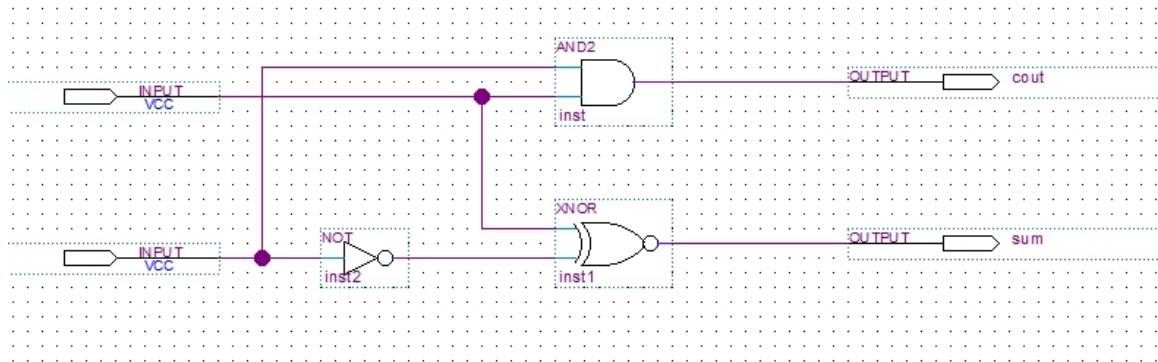
任务四：采用文本输入方式编写一个简单的程序，要求用 DE2-115 开发板上的 SW0 拨动开关控制 LED0 二极管的亮灭，当 SW0 拨到 1 的位置，LED0 亮，否则 LED0 灭。---本题需要用 FPGA 实验箱。

三、实验原理与步骤

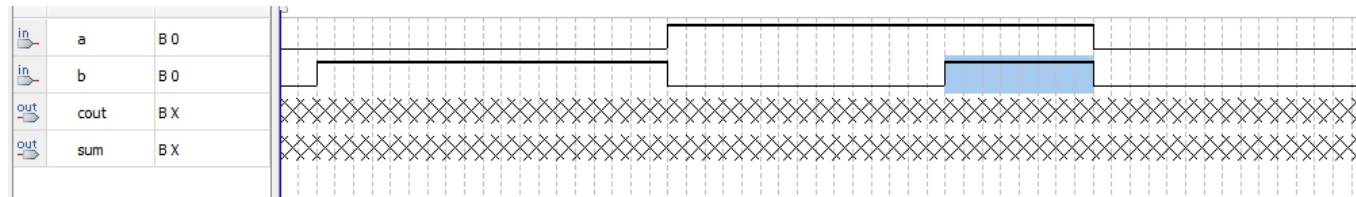
任务一：熟悉 Quartus II 开发环境，掌握原理图输入方式，在 Quartus II 中用原理图方式实现半加器，并用 Quartus II14.0 中的波形仿真。仿真成功后，生成半加器图形符号以供后续程序调用。

实验原理：逻辑表达式： $sum=a'b+ab'$ $cout=ab$
没有进位输入，只有进位输出

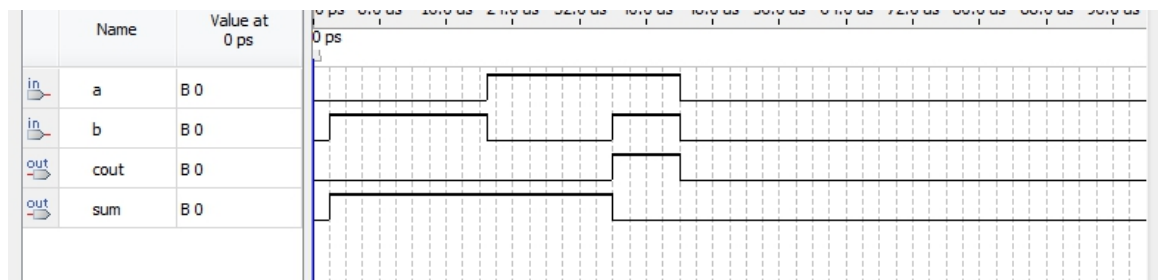
电路图：



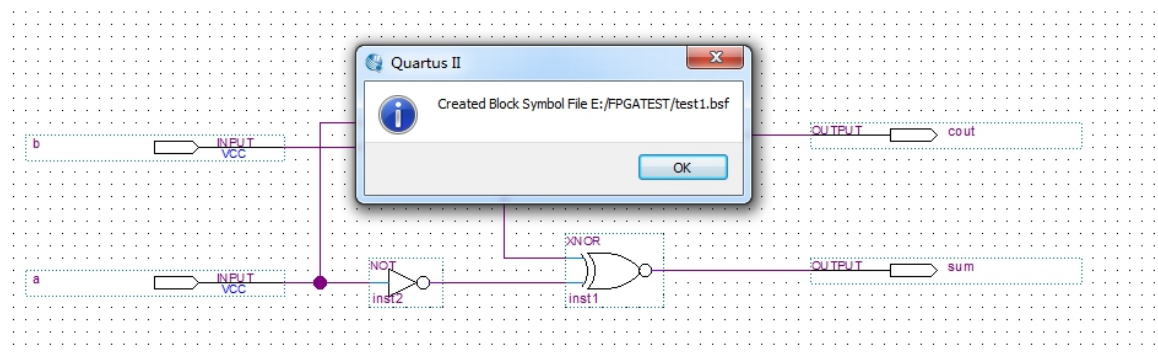
波形仿真：测试数据：



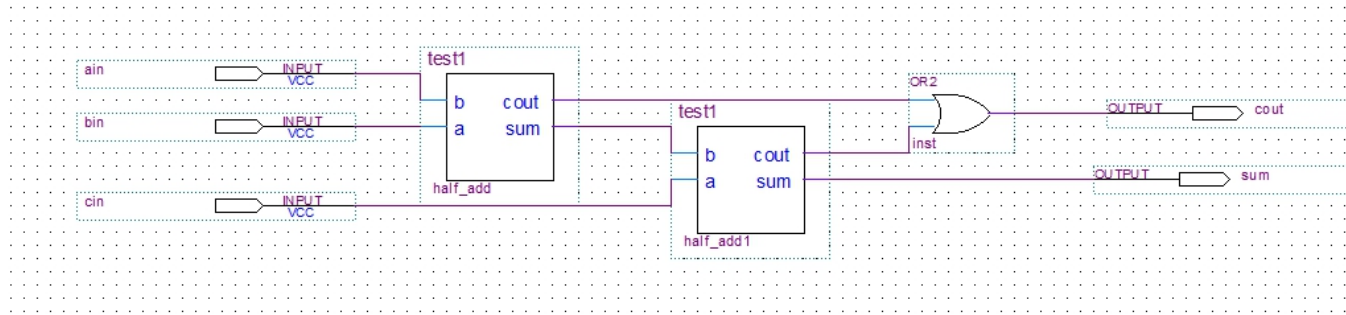
结果：



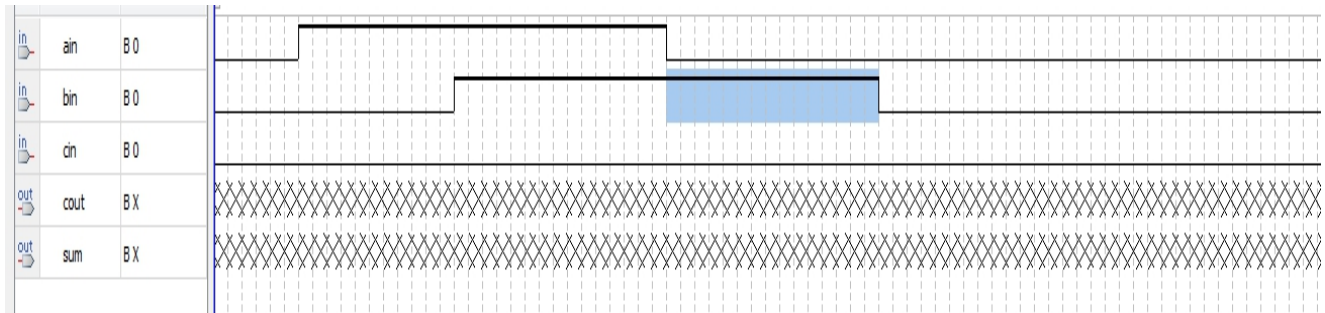
仿真成功后，将半加器设置成可调用的元件，供其它程序调用：



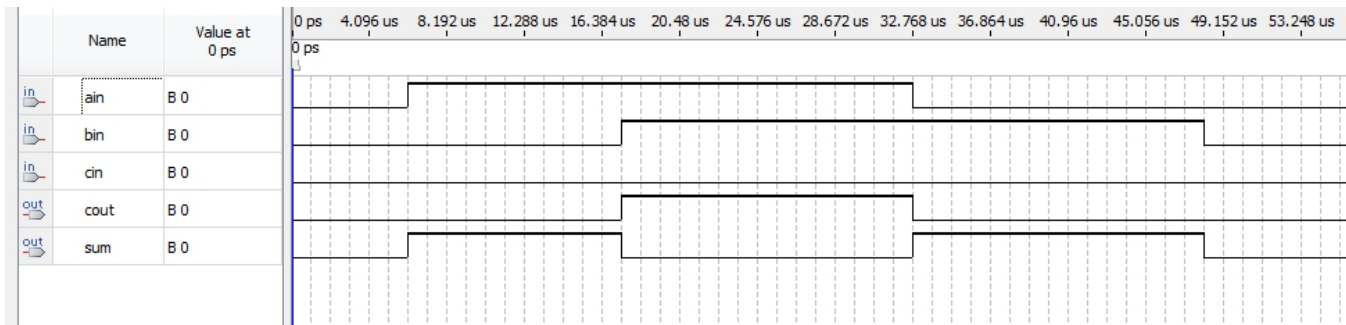
任务二：：在 Quartus II 中用原理图方式实现全加器，并用 Quartus II14.0 中的波形仿真。要求调用任务一中的半加器来实现。
全加器原理图：



波形仿真：测试数据：



结果：



任务三：基于IP核的设计：模24方向可控计数器设计与仿真(使用LPM_COUNTER宏模块完成设计)

IP核设计：

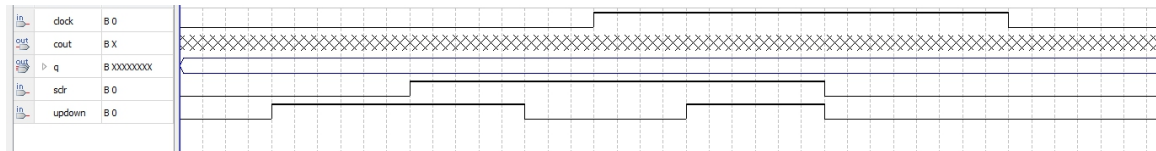
```

1  set_global_assignment -name IP_TOOL_NAME "LPM_COUNTER"
2  set_global_assignment -name IP_TOOL_VERSION "14.0"
3  set_global_assignment -name IP_GENERATED_DEVICE_FAMILY "{Cyclone IV GX}"
4  set_global_assignment -name VERILOG_FILE [file join $::quartus(qip_path) "counter24.v"]
5  set_global_assignment -name MISC_FILE [file join $::quartus(qip_path) "counter24.bsff"]
6  set_global_assignment -name MISC_FILE [file join $::quartus(qip_path) "counter24_inst.v"]
7  set_global_assignment -name MISC_FILE [file join $::quartus(qip_path) "counter24_bb.v"]
8

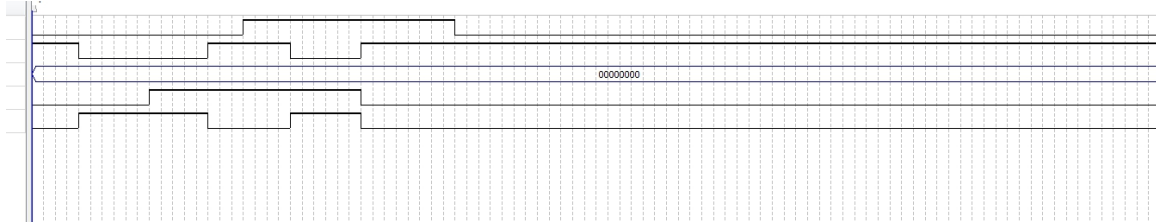
```

IP核波形仿真：

测试数据：(随机生成的数据进行测试)



结果:



任务四: 采用文本输入方式编写一个简单的程序,要求用 **DE2-115** 开发板上的 **SW0** 拨动开关控制 **LED0** 二极管的亮灭,当 **SW0** 拨到 **1** 的位置, **LED0** 亮,否则 **LED0** 灭。

编写 verilog 程序:

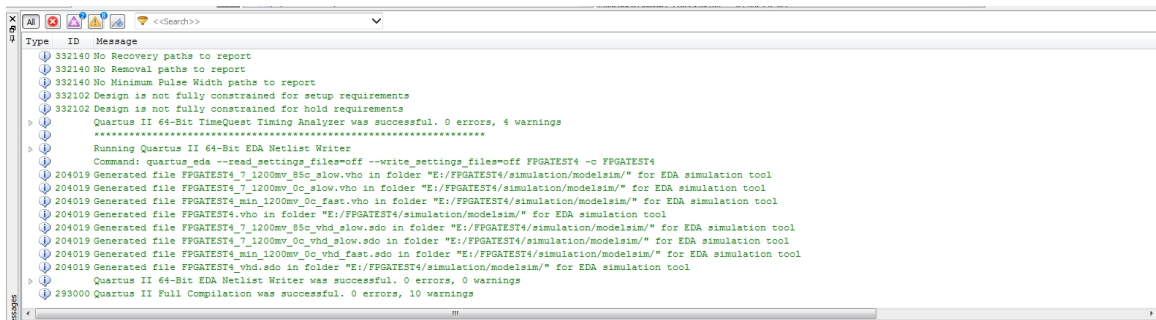
```

1 module FPGATEST4 (in, out);
2   (*chip_pin="AB28"*) input in;
3   (*chip_pin="G19"*) output out;
4   assign out=in;
5 endmodule
6

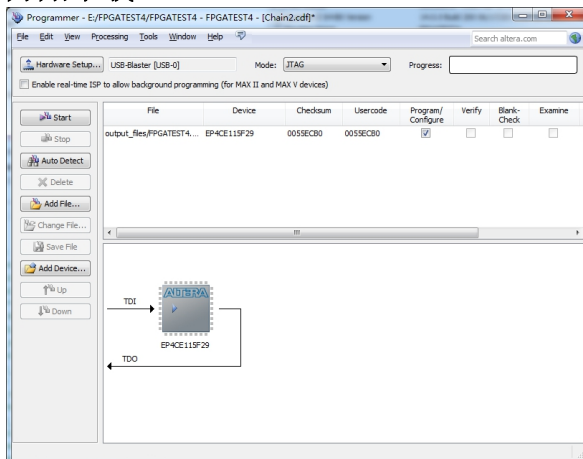
```

A screenshot of a text editor showing a simple Verilog module named FPGATEST4. The module has two ports: 'in' and 'out'. The code uses a comment to specify the chip pins for 'in' (AB28) and 'out' (G19). The logic is a simple assignment: 'out' is equal to 'in'. The code is enclosed in a module definition and ends with 'endmodule'.

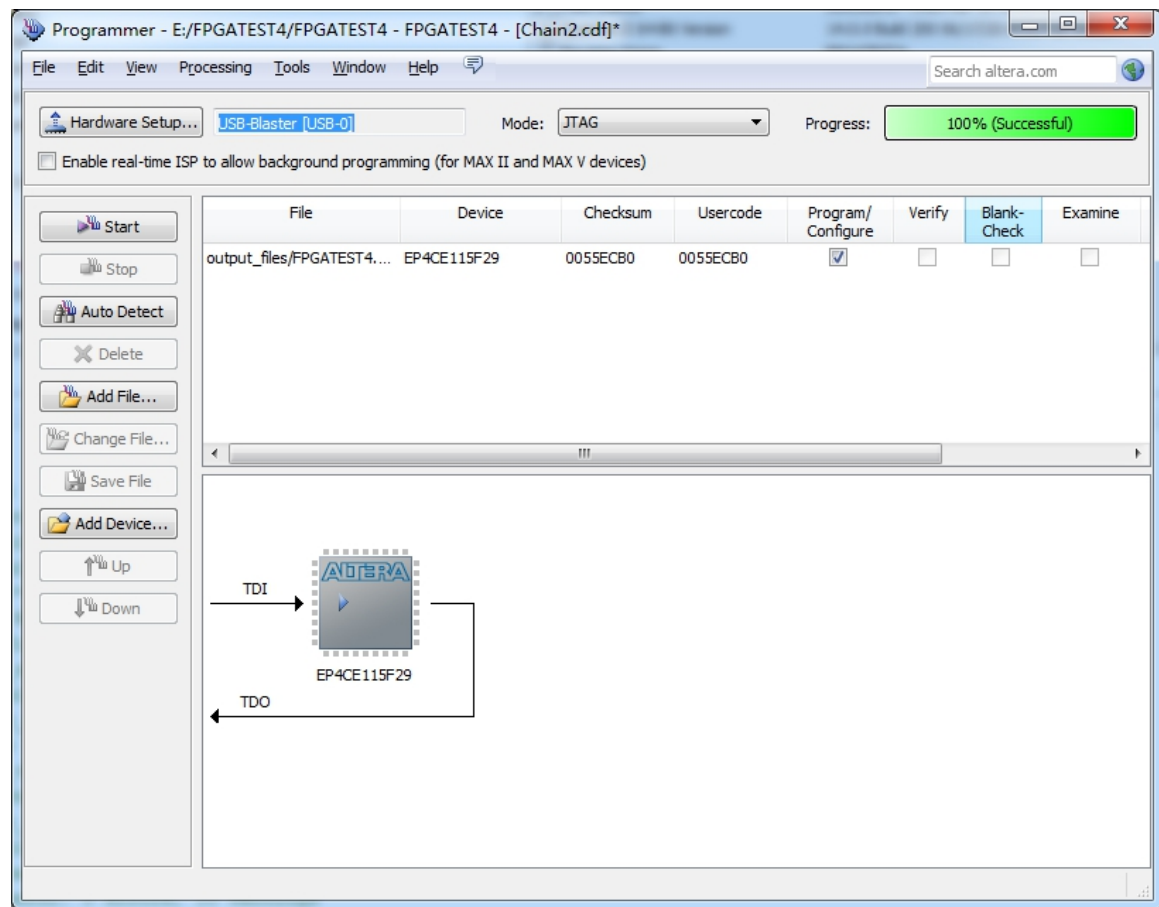
编译成功:



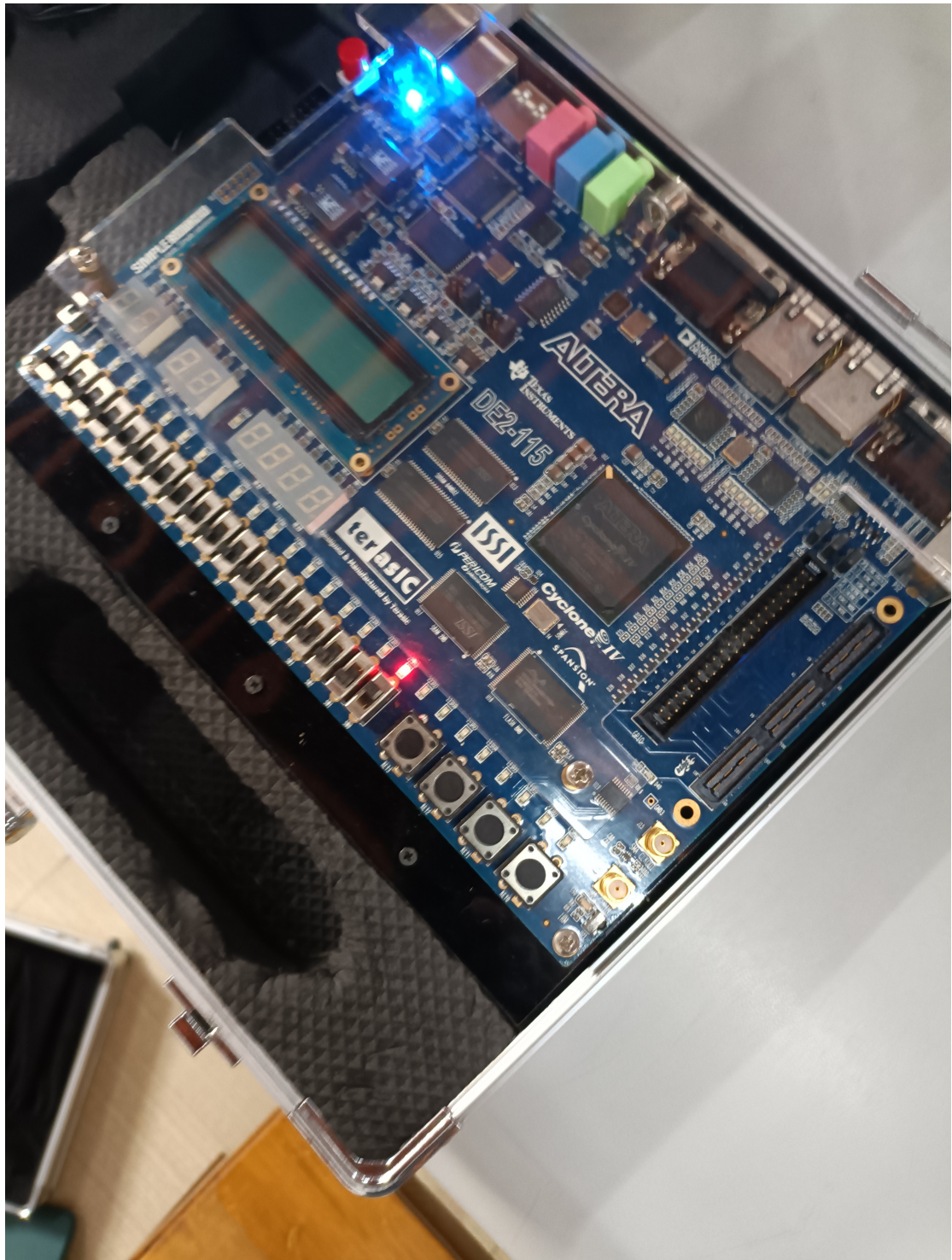
开始下载:



下载成功:

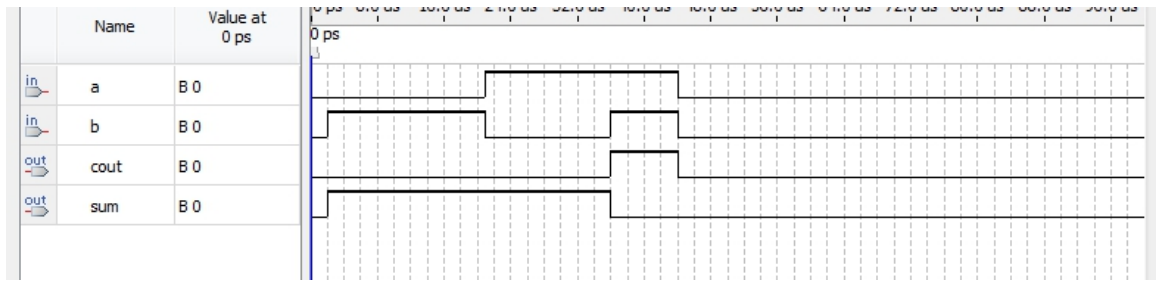


运行结果:



四、实验结果与分析

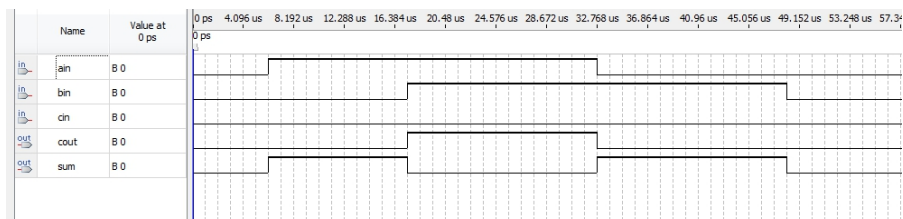
任务一仿真波形分析：



半加器只有输出进位没有输出进位，并且根据半加器的原理，很容易判断波形图正确。

任务二仿真波形分析：

任务二是两个半加器造成的全加器



可以由全加器实现的功能来看，ain 与 bin 相加得到 sum,输入的进位是 cin 输出的进位是 cout,例如 ain=1, bin=0,cin=0 时 sum=1,cout=0 等例子看出该波形图时正确的。

五、实验体会与讨论

本次实验几乎不涉及自己设计 Verilog 程序，只是熟练运用软件，为了今后设计打下基础。在本次实验中也遇到不少问题如，文件命名问题，编译出错找原因的问题，等等，都逐一进行了解决。