实验一、二

QuartusII 软件和 DE2-115 开发板使用入 门实验(实验名称)

- 专业: 计算机科学与技术
- 姓名: 高星杰
- 学号: 2021307220712
- 班级: 计科 2102

报告上交时间: 2023 年 3月 21日

一、实验目的

熟悉 Quartus II 开发环境,掌握原理图输入方式、文本输入方式和波形仿真;熟练 掌握在 Quartus II 环境中进行 FPGA 设计的流程;熟悉 DE2-115 开发板及其使用;

二、实验任务及要求

任务一: 熟悉 Quartus II 开发环境,掌握原理图输入方式,在 Quartus II 中用原理图方式实现半加器,并用 Quartus II14.0 中的波形仿真。仿真成功后,生成半加器图形符号以供后续程序调用;

任务二: 在 Quartus II 中用原理图方式实现全加器,并用 Quartus II14.0 中的波形仿真。要求调用任务一中的半加器来实现。

任务三: 基于 IP 核的设计:模 24 方向可控计数器设计与仿真(使用 LPM COUNTER 宏模块完成设计)

任务四: 采用文本输入方式编写一个简单的程序,要求用 DE2-115 开发板上的 SW0 拨动开关控制 LED0 二极管的亮灭,当 SW0 拨到 1 的位置,LED0 亮,否则 LED0 灭。---本题需要用 FPGA 实验箱。

三、实验原理与步骤

任务一: 熟悉 Quartus II 开发环境,掌握原理图输入方式,在 Quartus II 中用 原理图方式实现半加器,并用 Quartus II14.0 中的波形仿真。仿真成功后,生成半 加器图形符号以供后续程序调用。 实验原理: 逻辑表达式: sum=a'b+ab' cout=ab

没有进位输入,只有进位输出



波形仿真:测试数据:

in	-	BO		1				ŀ			1							ł	Ì	Г	1							1										1					Ì	i	1	ł	1	i	1	Ì	Ī	Ī
	4	00		-		-	-	-			-	-		-	-	-				-																				H	-	-	+	+	+	-	-	-	-	-	+	+
in	ь	BO				-	1	1		1	1				1																							1		L							Ì					
out	cout	вх	×	*	X	\diamond	X	≫	\otimes	×	\$3	×	${\sim}$	≫	∻	×	\otimes	X	*	×	≫	×	X	$\stackrel{\scriptstyle \sim}{\scriptstyle \sim}$	X	××	∻	×	\otimes	×	*	≫	X	X	\diamond	*	X	X	X	X	×	\Rightarrow	X	×	×	×	X	×	×	*	*	×
out	sum	BX		\approx	X	$\stackrel{\scriptstyle \sim}{\times}$	*	\gg	\otimes	\otimes	\otimes	\otimes	${\sim}$	X	Ŷ	\otimes	\otimes	\bigotimes	*	X	\gg	\bigotimes	\times	\gtrsim	${\times}$	X	\diamond	\gtrsim	\otimes	×	*	\otimes	\gtrsim	\times	\gg	8	×	\gtrsim	X	X	X	$\stackrel{\times}{\sim}$	${\swarrow}$	\otimes	X	X	×	X	×	*	*	X
																						ł															ł									ł						

结果**:**

	Name	Value at 0 ps	0 ps	1	10.0 03	1 10 03	1	10.0 03	10.0 03	1	1.0 03	12.0 03	1	1	10.0 03
in_	a	в о													
in_	ь	в 0				1									
out -D	cout	в 0													
out	sum	B 0													

仿真成功后,将半加器设置成可调用的元件,供其它程序调用:



任务二:: 在 Quartus II 中用原理图方式实现全加器,并用 Quartus II14.0 中的波形仿真。要求调用任务一中的半加器来实现。 全加器原理图:



波形仿真:测试数据:

in D-	ain	B 0	
in_	bin	B 0	
in_	cin	B 0	
out -D	cout	ВX	
out	sum	ВX	

结果:

	Nama	Value at	0 ps	4.096 us	8.192 us	12.288 us	16.384 us	20.48 us	24.576 us	28.672 us	32.768 us	36.864 us	40.96 us	45.056 us	49.152 us	53.248 us
	Name	0 ps	0 ps													
in_	ain	B 0														
in_	bin	в 0														
in_	cin	в 0														
out 	cout	в 0														
out -D	sum	в 0														

任务三:基于IP核的设计:模24方向可控计数器设计与仿真(使用LPM_COUNTER

宏模块完成设计)

IP 核设计:

×	٠	counter24.qip 🛛 😔 Compilation Report - fpgatest3 🖸
		88 🕼 (7) (字 字) 🛯 🐨 🔞 🚱 🕼 🗤 ≕ 🗉 🔄 📰
;yc	1 2 3 4 5 6 7 8	<pre>set_global_assignment -name IP_TOOL_NAME "LPM_COUNTER" set_global_assignment -name IP_TOOL_VERSION "14.0" set_global_assignment -name IP_GENERATED_DEVICE_FAMILY "(Cyclone IV GX)" set_global_assignment -name VERILOG_FILE [file join \$::quartus(qip_path) "counter24.v"] set_global_assignment -name MISC_FILE [file join \$::quartus(qip_path) "counter24.bsf"] set_global_assignment -name MISC_FILE [file join \$::quartus(qip_path) "counter24.bst.v"] set_global_assignment -name MISC_FILE [file join \$::quartus(qip_path) "counter24_inst.v"]</pre>

IP 核波形仿真: 测试数据: (随机生成的数据进行测试)



结果:



任务四:采用文本输入方式编写一个简单的程序,要求用 DE2-115 开发板上的 SWO 拨动开关控制 LED0 二极管的亮灭,当 SW0 拨到 1 的位置,LED0 亮,否则 LED0 灭。



编译成功:

_				
×	Al	8	▲ << <r><</r>	
ą	Type	: II	Message	
	0	3321	40 No Recovery paths to report	
	0	3321	40 No Removal paths to report	
	9	332:	40 No Minimum Pulse Width paths to report	
	- 4	3321	02 Design is not fully constrained for setup requirements	
	9	3321	02 Design is not fully constrained for hold requirements	
	▶ Q		Quartus II 64-Bit TimeQuest Timing Analyzer was successful. 0 errors, 4 warnings	
	9		******	
	ÞQ		Running Quartus II 64-Bit EDA Netlist Writer	
	9		Command: quartus_edaread_settings_files=offwrite_settings_files=off FPGATEST4 -c FPGATEST4	
	9	2040	19 Generated file FPGATEST4_7_1200mv_85c_slow.vho in folder "E:/FPGATEST4/simulation/modelsim/" for EDA simulation tool	
	9	2040	19 Generated file FFGATEST4_7_1200mv_Oc_slow.vho in folder "E:/FFGATEST4/simulation/modelsim/" for EDA simulation tool	
	9	2040	19 Generated file FPGATEST4_min_1200mw_Oc_fast.vho in folder "E:/FPGATEST4/simulation/modelsim/" for EDA simulation tool	
	9	2040	19 Generated file FPGATEST4.vho in folder "E:/FPGATEST4/simulation/modelsim/" for EDA simulation tool	
	9	2040	19 Generated file FPGATEST4_7_1200mv_85c_vhd_slow.sdo in folder "E:/FPGATEST4/simulation/modelsim/" for EDA simulation tool	
	9	2040	19 Generated file FPGATEST4_7_1200mv_0c_vhd_slow.sdo in folder "E:/FPGATEST4/simulation/modelsim/" for EDA simulation tool	
	9	2040	19 Generated file FPGATEST4_min_1200mv_0c_vhd_fast.sdo in folder "E:/FPGATEST4/simulation/modelsim/" for EDA simulation tool	
	9	2040	19 Generated file FPGATEST4_vhd.sdo in folder "E:/FPGATEST4/simulation/modelsim/" for EDA simulation tool	
	Þ 9		Quartus II 64-Bit EDA Netlist Writer was successful. 0 errors, 0 warnings	
S	9	2930	00 Quartus II Full Compilation was successful. 0 errors, 10 warnings	
25.0	٠		III	F
8				

开始下载:



下载成功:

<u>E</u> dit <u>V</u> iew P <u>r</u>	ocessing <u>T</u> ools <u>W</u> indow	Help 🐬				Sea	rch altera.co	om
Hardware Setup	USB-Blaster [USB-0] P to allow background progra	Mode: mming (for MAX II and M	JTAG MAX V devices)	•	Progress: (10	0% (Succes	sful)
Mart Start	File	Device	Checksum	Usercode	Program/ Configure	Verify	Blank- Check	Examine
Stop Auto Detect Comparison Add File	output_files/FPGATEST4	. EP4CE115F29	0055ECB0	0055ECB0				
Ghange File	•							
<mark>} Add Device</mark> በ ^ነ ት Up መັ Down								

运行结果:



四、实验结果与分析

任务一仿真波形分析:



半加器只有输出进位没有输出进位,并且根据半加器的原理,很容易判断波形图正确。 任务二仿真波形分析:

任务二是两个半加器造成的全加器



可以由全加器实现的功能来看, ain 与 bin 相加得到 sum,输入的进位 是 cin 输出的进位是 sum,例如 ain=1, bin=0,cin=0 时 sum=1,cout=0 等 例子看出该波形图时正确的。

五、实验体会与讨论

本次实验几乎不涉及自己设计 Verilog 程序,只是熟练运用软件,为了今 后设计打下基础。在本次实验中也也遇到不少问题如,文件命名问题,编译出错 找原因的问题,等等,都逐一进行了解决。