

《EDA技术》试验

实验二

QuartusII 软件和 DE2-115 开发板使用入 门实验（实验名称）

专业： 计算机科学与技术

姓名： 高星杰

学号： 2021307220712

班级： 计科 2102

报告上交时间：2023 年 3 月 21 日

一、实验目的

熟悉 Quartus II 开发环境，掌握原理图输入方式、文本输入方式和波形仿真；熟练掌握在 Quartus II 环境中进行 FPGA 设计的流程；熟悉 DE2-115 开发板及其使用；

二、实验任务及要求

任务五：采用文本输入方式编写一个简单的程序，要求用 DE2-115 开发板上的 SW17 拨动开关控制 LEDR17 二极管的亮灭，当 SW17 拨到 1 的位置，LED17 亮，否则 LED17 灭。——本题需要用 FPGA 实验箱。

任务六：学会使用嵌入式逻辑分析仪 signaltap（以正弦信号产生器为例）具体操作步骤和方法请参见教材第 3.4 节 SignalTap II 的使用方法，——也可参考 SignalTapII 实例分享.pptx。本题需要用 FPGA 实验箱。

任务七：使用数字锁相环实现分频，假定输入时钟频率为 50MHz，想要得到 5MHz 的时钟信号，试用 altp11 宏功能模块实现该电路；完成电路仿真，并用 signaltap 对信号进行分析。提示：本题为基于 IP 核的设计，具体方法和流程参考任务三，signaltap 使用参考任务二。

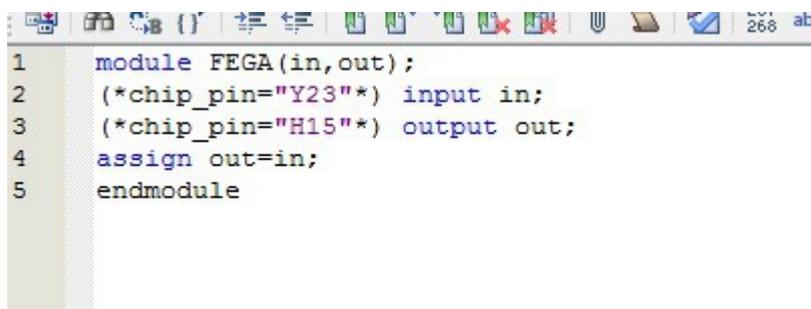
拓展题：尝试采用 2 个拨动开关控制 4 个 LED 等的亮灭，要求：当输入 00 时，LED0 亮；当输入为 01 时，LEDR1 亮；当输入为 10 时，LEDR2 亮；当输入为 11 时，LEDR3 亮。

三、实验原理与步骤

任务五：采用文本输入方式编写一个简单的程序，要求用 DE2-115 开发板上的 SW17 拨动开关控制 LEDR17 二极管的亮灭，当 SW17 拨到 1 的位置，LED17 亮，否则 LED17 灭。——本题需要用 FPGA 实验箱。

实现原理：编写 Verilog 程序将 sw17 的引脚与 LED17 的引脚连接，sw17 的值与 led17 的值相等。

源码：

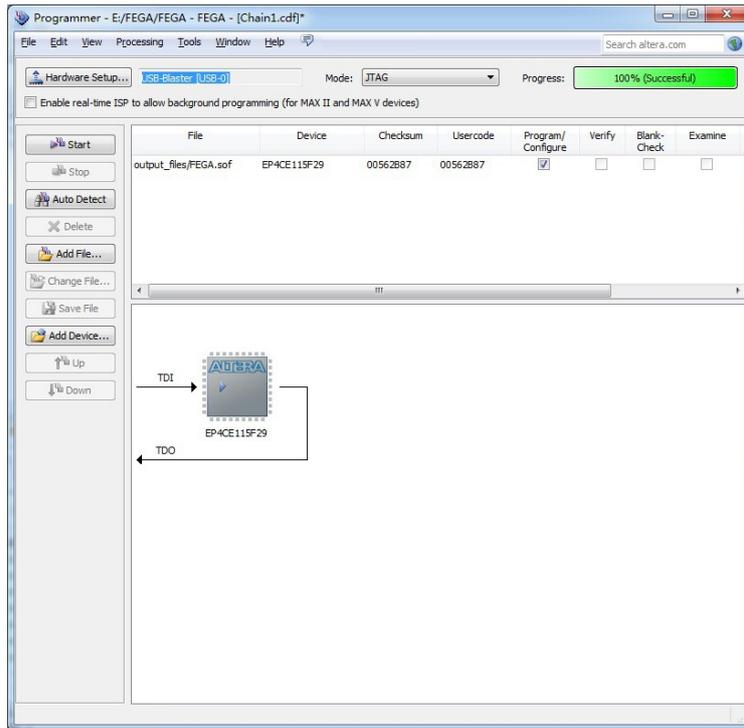


```
1 module FEGA(in,out);
2 (*chip_pin="Y23"*) input in;
3 (*chip_pin="H15"*) output out;
4 assign out=in;
5 endmodule
```

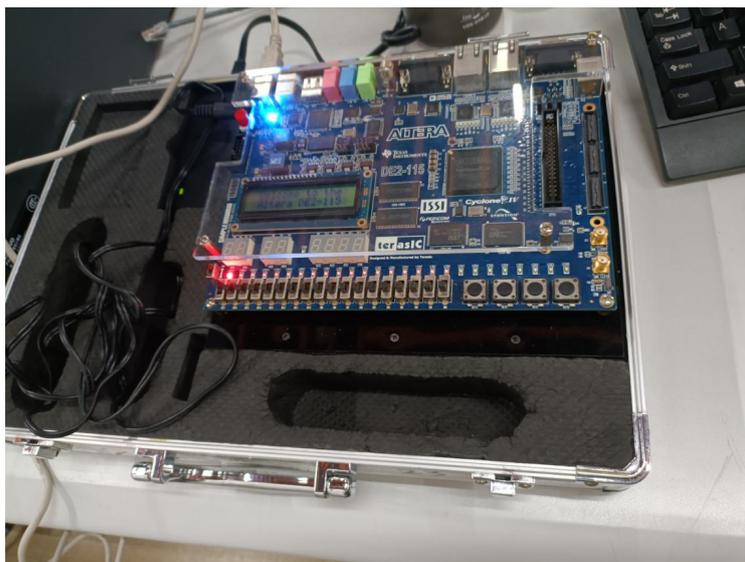
编译成功：

```
Type ID Message
> [i] Quartus II 64-Bit TimeQuest Timing Analyzer was successful. 0 errors, 4 warnings
.....
> [i] Running Quartus II 64-Bit EDA Netlist Writer
Command: quartus_eda --read_settings_files=off --write_settings_files=off FEGA -c FEGA
[i] 204019 Generated file FEGA_7_1200mv_85c_slow.vho in folder "E:/FEGA/simulation/modelsim/" for EDA simulation tool
[i] 204019 Generated file FEGA_7_1200mv_0c_slow.vho in folder "E:/FEGA/simulation/modelsim/" for EDA simulation tool
[i] 204019 Generated file FEGA_min_1200mv_0c_fast.vho in folder "E:/FEGA/simulation/modelsim/" for EDA simulation tool
[i] 204019 Generated file FEGA.vho in folder "E:/FEGA/simulation/modelsim/" for EDA simulation tool
[i] 204019 Generated file FEGA_7_1200mv_85c_vhd_slow.sdo in folder "E:/FEGA/simulation/modelsim/" for EDA simulation tool
[i] 204019 Generated file FEGA_7_1200mv_0c_vhd_slow.sdo in folder "E:/FEGA/simulation/modelsim/" for EDA simulation tool
[i] 204019 Generated file FEGA_min_1200mv_0c_vhd_fast.sdo in folder "E:/FEGA/simulation/modelsim/" for EDA simulation tool
[i] 204019 Generated file FEGA_vhd.sdo in folder "E:/FEGA/simulation/modelsim/" for EDA simulation tool
> [i] Quartus II 64-Bit EDA Netlist Writer was successful. 0 errors, 0 warnings
[i] 293000 Quartus II Full Compilation was successful. 0 errors, 7 warnings
```

下载到 fpga 上:



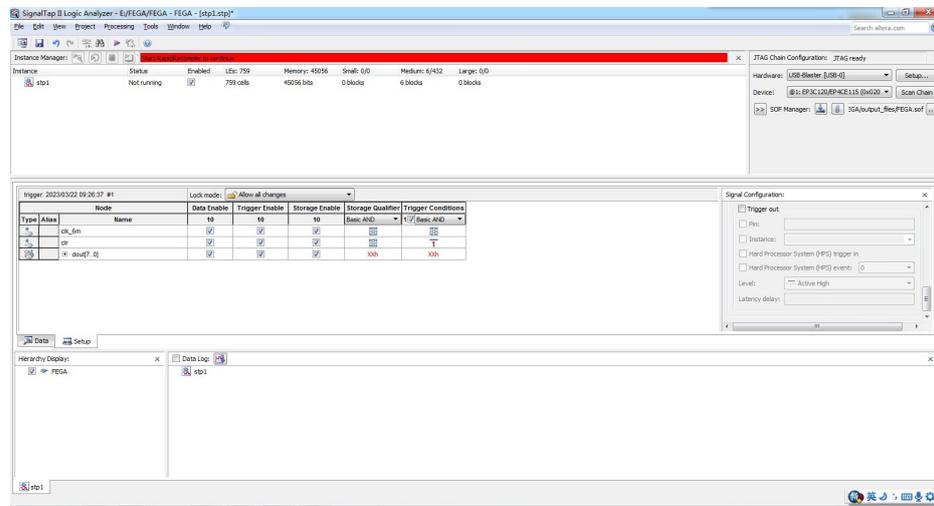
实现效果:



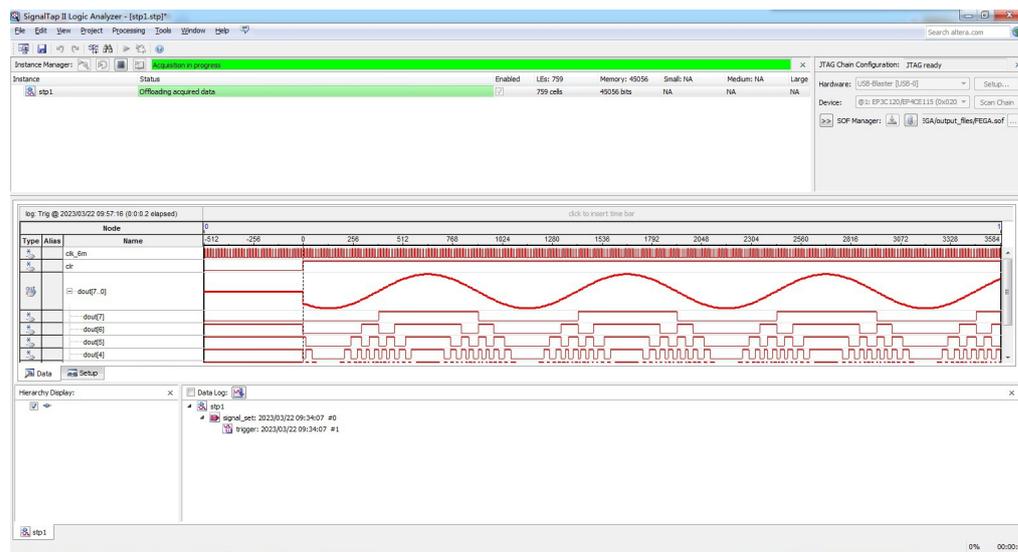
任务六：学会使用嵌入式逻辑分析仪 signaltap（以正弦信号产生器为例）。

实验原理：编写样例程序（正弦信号产生器），并使用 signaltap 仿真测试。
代码：因为是书上的代码没有改变所以不再展示。

SignalTap 仿真过程：



仿真结果：



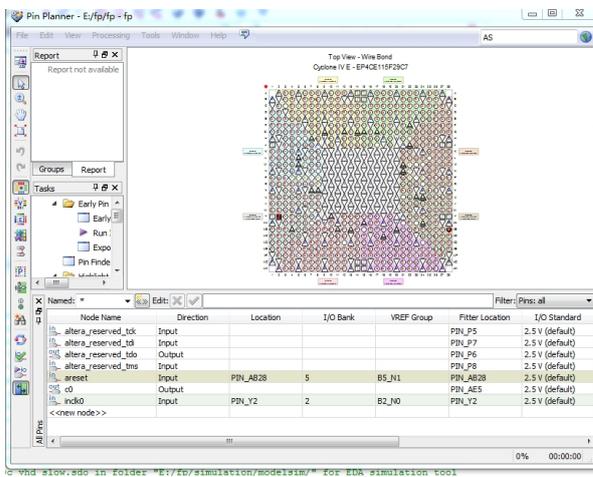
任务七：使用数字锁相环实现分频，假定输入时钟频率为 50MHz，想要得到 5MHz 的时钟信号，试用 altp11 宏功能模块实现该电路；完成电路仿真，并用 signaltap 对信号进行分析。

实验原理：使用 ip 核，然后配置下参数就可以实现功能，然后使用波形仿真和 SignalTap 仿真。

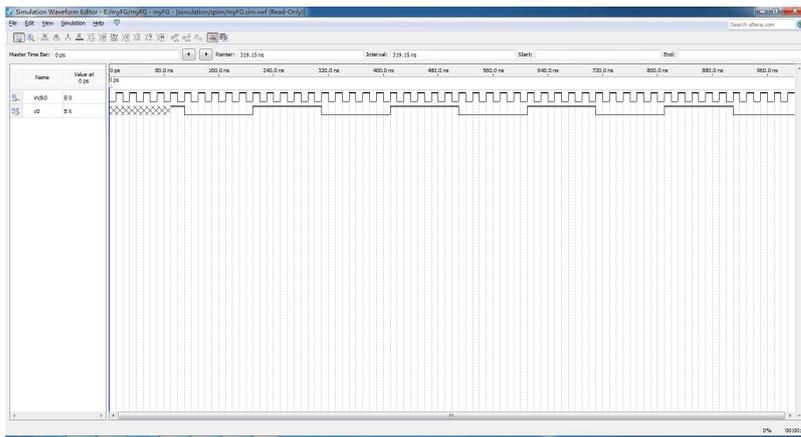
配置的 IP 核：



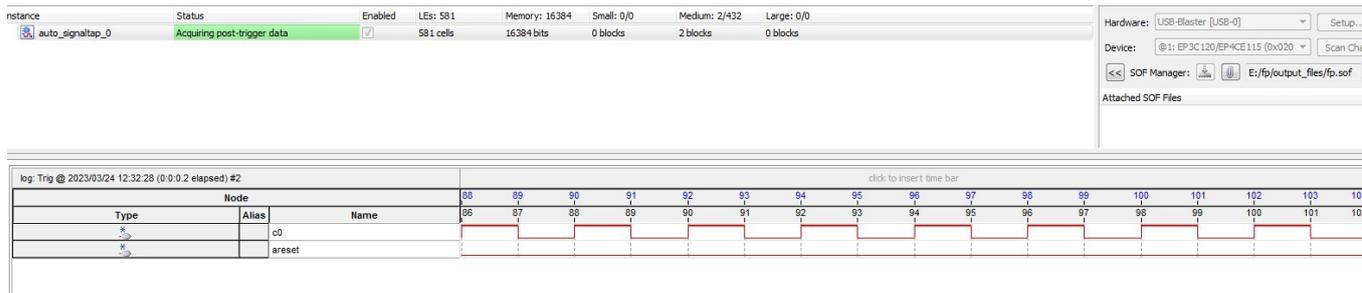
引脚分配:



波形仿真:



SignalTap 仿真:



附加题： 尝试采用 2 个拨动开关控制 4 个 LED 等的亮灭，要求：当输入 00 时，LED0 亮；当输入为 01 时，LED1 亮；当输入为 10 时，LED2 亮；当输入为 11 时，LED3 亮；

原理： 使用行为描述的方式来设计 Verilog 程序，通过分配对应的引脚，来实现输入控制灯亮。

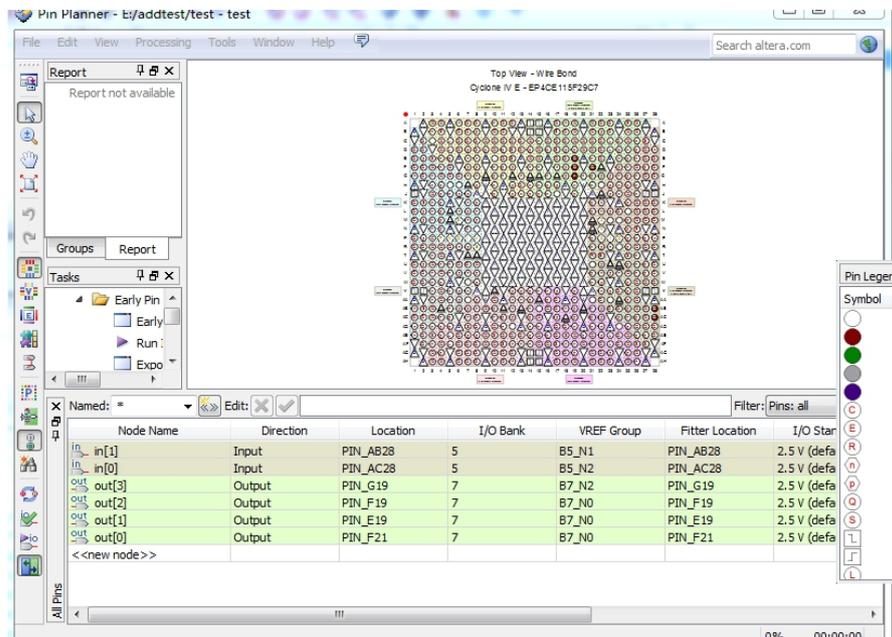
代码：

```

module test(in,out);
input[1:0] in;
output reg[3:0] out;
always@(in)
begin
case(in)
2'b00: out=4'b1000;
2'b01: out=4'b0010;
2'b10: out=4'b0100;
2'b11: out=4'b0001;
endcase;
end
endmodule

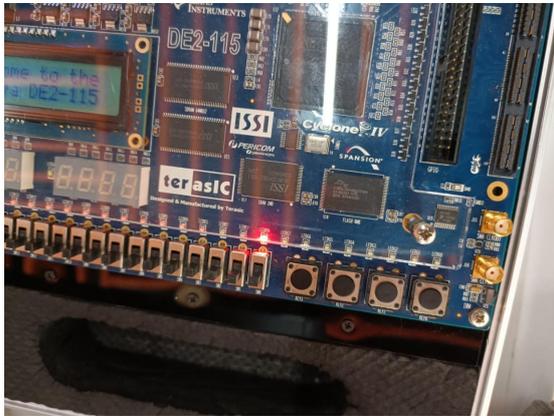
```

引脚分配：

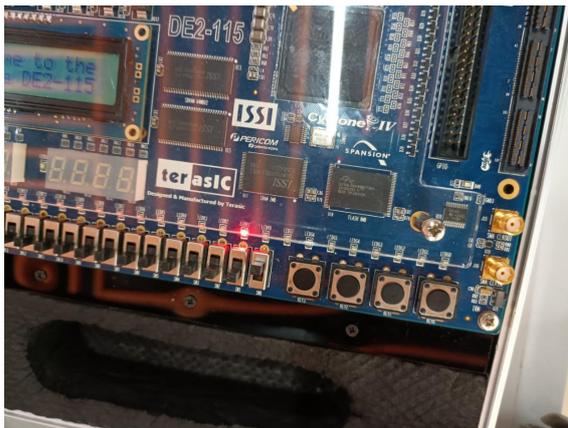


运行结果：

00



01



10

