

《EDA技术》试验

# 实验四 时序逻辑电路 设计、仿真与实现

专业： 计算机科学与技术

姓名： 高星杰

学号： 2021307220712

班级： 计科 2102

报告上交时间：2023年 4月 15日

## 一、实验目的

### 1、时序逻辑电路设计、仿真与实现

## 二、实验任务及要求

### 任务一：计数器设计与仿真

设计一个模 200 的二进制加法计数器并在 quartusII14.0 中仿真。注意：（1）此题仿真的时候要将 end time 设置为 1000us，gridsize 设置为 1us，截仿真结果图的时候要移动滚动条将计数最大值 199 那部分显示出来。给输入时钟脉冲的值可直接点左侧工具栏的时钟图标，可一次性给出输入脉冲的所有值。（2）计数结果用 Unsigned Decimal 显示，不要用 ASCII。修改过程如下图所示：在信号名上单击右键，选择 properties 选项，在 Radix 栏中选择 Unsigned Decimal，单击确定按钮。（3）仿真之前检查一下所用的仿真文件是否为当前设置的波形文件：Assignments->settings,在 settings 对话框中查看 simulator settings 中的 simulation input 文件。

### 任务二：10 分频器设计与仿真设计并实现偶数分频器

对开发板上的 50Mhz 时钟分频，得到一个 5MHz 的时钟。

### 任务三：实现一个带有闪烁功能的共阳极七段数码管的显示译码控制电路（在 1 个数码管上动态循环显示 0~F）。

提示：1）DE2-115 开发板上的时钟频率是 50Mhz,频率太高，周期太短，人眼识别不了变化，故需要设计分频器，得到 4hz 或 1hz 的时钟来使用。2）可在频率为 1hz 的 clk 的高电平期间让数码管亮，低电平期间让数码管灭，达到闪烁的效果。也可用某个计数器来实现闪烁效果。

### 附加题：数字计时器

学有余力的同学可选做计时器设计与实现要求设计并实现一个数字计时器，可以完成 0 分 00 秒-9 分 59 秒的计时功能且计时准确。并且能够在控制电路的作用下具有开机清零、快速校分、整点报时（用 LED 二极管显示）等功能。能够通过七段数码管或 LCD1602 液晶进行输出

## 三、实验原理与步骤

### 任务一：计数器设计与仿真

设计一个模 200 的二进制加法计数器并在 quartusII14.0 中仿真。

实验原理：

通过行为描述的方式编写了模 200 加法计数器，然后再用波形仿真进行验证。  
Verilog 程序：

```
sy41.v
module sy41(count,clk,y);
input clk;
output reg[7:0] count;
output y;
always @(posedge clk)
begin
    count<=(count+1)%200;
end
assign y=(count=='d199);
endmodule
```

## 任务二：10 分频器设计与仿真设计并实现偶数分频器

对开发板上的 50Mhz 时钟分频，得到一个 5MHz 的时钟。

实验原理：通过设计一个模 10 计数器，开发板上的时钟走 10 个周期，得到一个周期，也就是得到的周期长度是它的 10 倍，然后就可以进行波形仿真验证实验了。

Verilog 程序：

```
output reg out=0;
reg [4:1]num=0;
reg flag;
always@(posedge in)
begin
    if(num==9)flag<=1;
    else flag<=0;
    num=(num+1)%10;
    if(flag==1)
        out<=!out;
    end
endmodule
```

## 任务三：实现一个带有闪烁功能的共阳极七段数码管的显示译码控制电路（在 1 个数码管上动态循环显示 0~F）。

实验原理：思路是将显示功能和计数功能分开来设计，然后再将计数功能分成三个计数器，一个是负责闪烁的灭，一个是负责闪烁的数字计数，最后一个是负责将信号转换为 1hz 的计数。灭的周期是闪烁的一半。而且最后一个计数器的大小是通过 50MHZ 到 1HZ 也就是要设计模 50000000 的计数器，也就是每计数 50000000 后模 16 计数器加 1 然后闪烁的那个计数器在一半的周期内让显示灯灭就可以达到闪烁的效果。

Verilog 程序：1.主程序

```

module task3(in,out);
(*chip_pin="Y2"*)input in;
(*chip_pin="AA14,AG18,AF17,AH17,AG17,AE17,AD17"*)output [6:0]out;
reg [35:0]num;
reg [35:0]num2;
reg [4:0]num1;
reg flag;
reg flags;
reg [4:0]temp;
always@(posedge in)
begin
if(num==1)begin flag<=1;end
else begin flag<=0;end
if(num2<50000000/4) flags<=1;
else flags<=0;
num2<=(num2+1)%(50000000/2);
num<=(num+1)%50000000;
if(flag==1)begin num1<=(num1+1)%16;end
if(flags==1)temp<=20;
else temp<=num1;
end
show(temp,out);
endmodule

```

## 2. 展示模块:

```

module show(in1,out);
input [4:0] in1;
output reg[6:0] out;
always@(in1)
begin
case(in1)
5'b00000:out<=7'b1000000;
5'b00001:out<=7'b1111001;
5'b00010:out<=7'b0100100;
5'b00011:out<=7'b0110000;
5'b00100:out<=7'b0011001;
5'b00101:out<=7'b0010010;
5'b00110:out<=7'b0000010;
5'b00111:out<=7'b1111000;
5'b01000:out<=7'b0000000;
5'b01001:out<=7'b0010000;
5'b01010:out<=7'b0001000;
5'b01011:out<=7'b0000011;
5'b01100:out<=7'b1000110;
5'b01101:out<=7'b0100001;
5'b01110:out<=7'b0000110;
5'b01111:out<=7'b0001110;
default:out<=7'b1111111;
endcase;
end
endmodule

```

## 附加题：数字计时器

学有余力的同学可选做计时器设计与实现要求设计并实现一个数字计时器，可以完成 0 分 00 秒-9 分 59 秒的计时功能且计时准确。并且能够在控制电路的作用下具有开机清零、快速校分、整点报时（用 LED 二极管显示）等功能。能够通过七段数码管或 LCD1602 液晶进行输出

实验原理：

首先同样的是将程序分为两个模块，计数模块和显示模块。

同样是设计计数器，只不过周期不相同，是要让 50MHZ 的转换成 1hz 然后再增

加一个计数器是模 600 的也就是 10 分钟，

Verilog 程序：

主程序：

```
module tesk4(in,out1,out2,out3,out4);
(*chip_pin="Y2"*)input in;
(*chip_pin="AA14,AG18,AF17,AH17,AG17,AE17,AD17"*)output [6:0]out1;
(*chip_pin="AC17,AA15,AB15,AB17,AA16,AB16,AA17"*)output [6:0]out2;
(*chip_pin="AH18,AF18,AG19,AH19,AB18,AC18,AD18"*)output [6:0]out3;
(*chip_pin="AE18,AF19,AE19,AH21,AG21,AA19,AB19"*)output [6:0]out4;

reg [25:0]num;
reg [10:0]clk;
reg [6:0]second;
reg [6:0]minute;
always@(posedge in)
begin
    num<=(num+1)%50000000;
    if(num==1) clk<=(clk+1)%600;
    second<=clk%60;
    minute<=clk/60;
end
show(minute,out1);
assign out2='b0110111;
show(second/10,out3);
show(second%10,out4);
endmodule
```

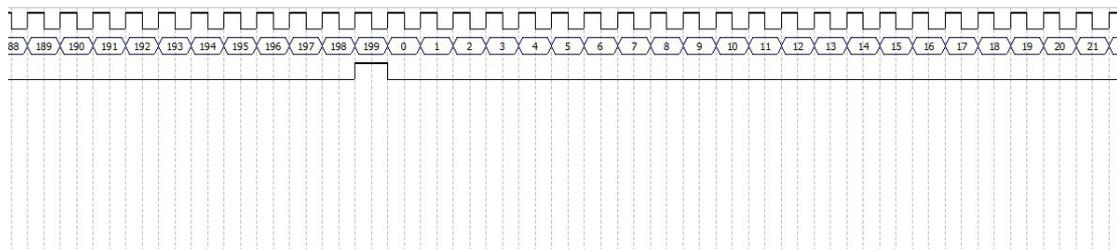
显示模块：

```
module show(in1,out);
input [6:0] in1;
output reg[6:0] out;
always@(in1)
begin
    case(in1)
    0:out=7'b1000000;
    1:out=7'b1111001;
    2:out=7'b0100100;
    3:out=7'b0110000;
    4:out=7'b0011001;
    5:out=7'b0010010;
    6:out=7'b0000010;
    7:out=7'b1111000;
    8:out=7'b0000000;
    9:out=7'b0010000;
    endcase;
end
endmodule
```

## 四、实验结果与分析

任务一：

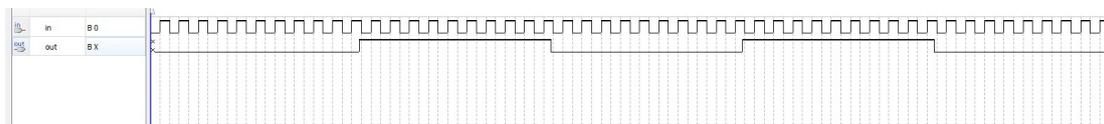
波形仿真结果：



仿真结果分析：模 200 计数器在 199 后成功变成 0 了说明设计成功

## 任务二：

波形仿真结果：

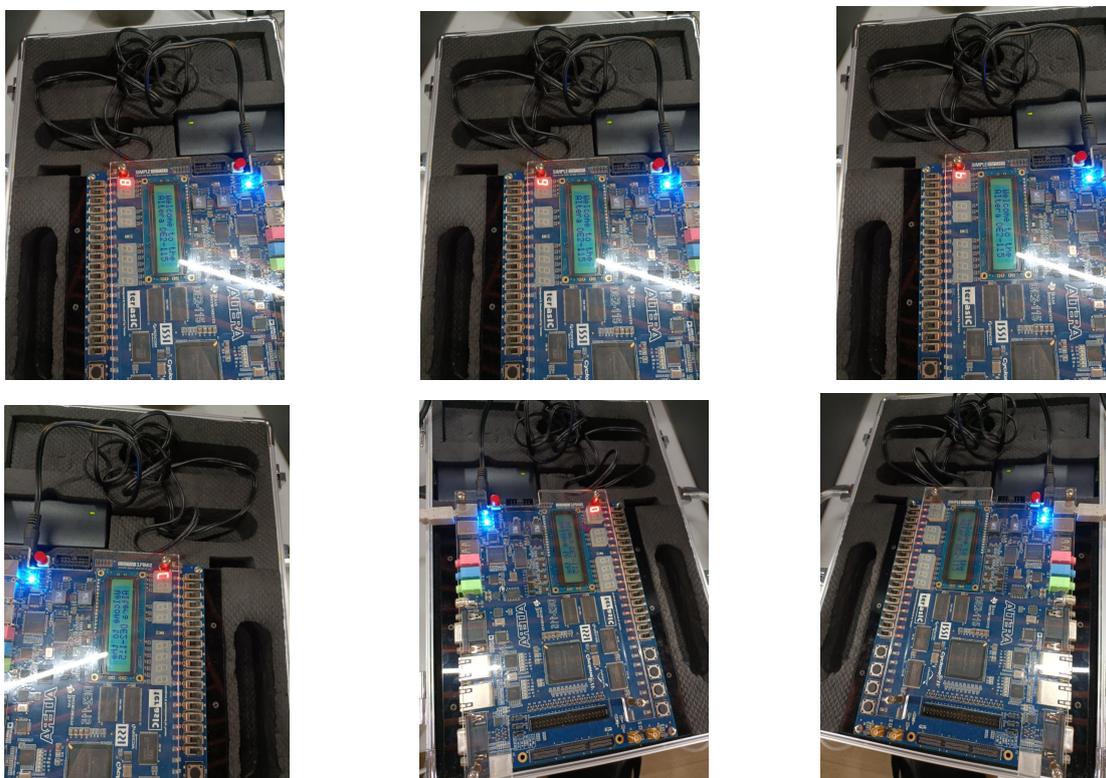


仿真结果分析：

可以通过数周期数可以得到，一个长周期中有 10 个小周期，说明设计成功了。

## 任务三：

开发板上的结果：

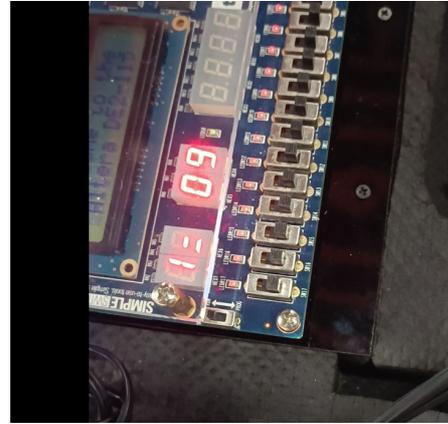
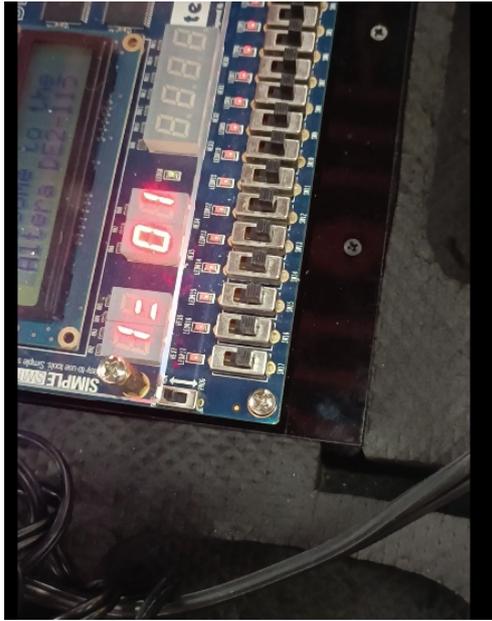


闪烁的间隙

结果分析：显然设计成功符合要求

## 附加题：

开发板的结果：（详情见视频）



结果分析：显然设计成功符合要求

## 五、实验体会与讨论

本次实验最长的时间卡在了任务三的闪烁上，一开始设计的负责闪烁的计数器有问题，也就是一个周期仅仅灭一次，没有考虑到的是灭一次就会被显示数字所覆盖，导致人眼根本看不出来闪烁，其中要考虑到的是，数字为什么只设置一次就可以显示一秒呢？因为数字设置后不会被覆盖，而空白设置后如果不是设置一段时间会立即被覆盖。（花了好长好长时间才找出来这个逻辑错误）

通过这次实验增强了对 verilog 语言的理解，在一次一次的查找错误中逐渐使用起来比较顺手然后再到熟练，也是能不断发现其中的乐趣了。